

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317887

(43)Date of publication of application : 16.11.1999

(51)Int.Cl.

H04N 5/14
G06T 1/00
H04N 5/44

(21)Application number : 10-125053

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 07.05.1998

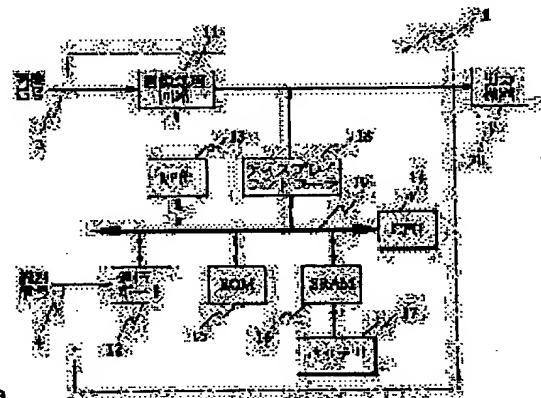
(72)Inventor : FUKUCHI MASAMI

(54) IMAGE PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To properly and quickly switch an operation mode in response to a connected image output device.

SOLUTION: The image processing unit 1 is provided with an image processing circuit 11 consisting of a field programmable gate array FPGA that receives an image signal from an image output device 2 and applies image processing such as emphasis to the signal, a communication port 12 that receives an identification signal denoting a type of the image output device 2 from the image output device 2, a CPU 14 that applies write control to circuit data to the image processing circuit 11 via an I/F section 13 based on the identification signal received from the communication port 12, a ROM 15 that stores pluralities of circuit data to be written in the image processing circuit 11 and a control program of the CPU 14 in advance, and an SRAM 16 that stores data generated in the case of control by the CPU 14.



(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11 - 3 1 7 8 8 7

(43) 公開日 平成11年(1999)11月16日

(51) Int. Cl. ⁶	識別記号	F I		
H 0 4 N	5/14	H 0 4 N	5/14	Z
G 0 6 T	1/00		5/44	A
H 0 4 N	5/44	G 0 6 F	15/62	3 8 0

審査請求 未請求 請求項の数 1

O L

(全 8 頁)

(21) 出願番号 特願平10-125053

(22) 出願日 平成10年(1998)5月7日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 福地 正巳

東京都渋谷区幡ヶ谷2丁目43番2号 オリン
パス光学工業株式会社内

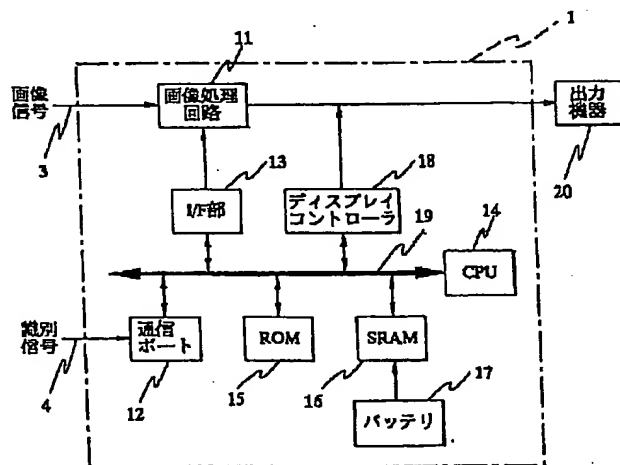
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 接続される画像出力機器に応じた動作モードの切り替えを、適切かつ迅速に行う。

【解決手段】 画像処理装置 1 は、画像出力機器 2 から画像信号を入力し強調等の画像処理を行う F P G A で構成された画像処理回路 1 1 と、画像出力機器 2 から画像出力機器 2 の種類を示す識別信号を入力する通信ポート 1 2 と、通信ポート 1 2 から入力された識別信号に基づき I / F 部 1 3 を介して画像処理回路 1 1 への回路データの書き込み制御を行う C P U 1 4 と、画像処理回路 1 1 に書き込まれる複数の回路データ及び C P U 1 4 の制御プログラムを予め格納している R O M 1 5 と、 C P U 1 4 の制御時に生成されたデータを格納する S R A M 1 6 とを備えて構成される。



【特許請求の範囲】

【請求項1】 画像出力機器から入力された画像信号を処理する画像処理装置において、

前記画像出力機器の種類に応じた動作モードを記憶するモード記憶手段と、

前記モード記憶手段が記憶した前記動作モードの設定により、前記画像信号を処理するモード処理手段と、

前記画像出力機器の種類を判別する判別情報を入力する判別情報入力手段と、

前記モード処理手段に設定された前記動作モードと、前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新手段とを備えたことを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像処理装置、更に詳しくはFPGA(Field Programmable Gate Array)の回路データ設定部分に 20 特徴のある画像処理装置に関する。

【0002】

【従来の技術】従来、画像処理装置においては、例えば特公平1-26225号公報に見られるように、接続する画像出力機器に応じて、画像処理の種類を切り替えることが行われている。その方法として、前記の例での開示は無いが、簡単な方法として、画像処理の種類に応じ、経路を切り替えることがあげられる。

【0003】例えば、図12に示すように、従来の画像処理装置101では、図示しない画像出力機器からの画像信号を複数、例えば3つの画像処理回路102、103、104に入力しそれぞれ別々の処理が施され、選択回路105を介してモニタ等の出力機器106に出力される。また、図示しない外部の入力部から画像出力機器(図示せず)の種類を示す識別信号が通信ポート107を介してCPU108に入力され、CPU108はこの識別信号に基づき、I/F部109を介して選択回路105を制御し画像処理回路102、103、104のうちから1つを選択することで、動作モード(画像処理の種類)を切り替えるようになっている。

【0004】また、特開平6-343137号公報には、接続先に応じて動作モードが変わるビデオカメラの例がある。

【0005】ところで最近、FPGA(Field Programmable Gate Array)と呼ばれるLSIが普及している。FPGAの特徴は、回路構成の書き換えが可能なことである。FPGAの回路データはバイナリ・データの形で、メモリや媒体上に記憶させておくことが可能である。図13は、FPGAを用いて画像処理の種類を切り替える方法を、説明したもの 50

である。

【0006】FPGAを用いた画像処理装置110では、図13に示すように、図示しない画像出力機器からの画像信号は、FPGAで構成された画像処理回路111へ入力され、画像処理回路111により処理された処理信号はモニタ等の出力機器106へ出力される。画像処理回路111の構成は、CPU108により書き込まれるが、その回路データは、ROM112にあらかじめ複数個が記憶されている。一方、図示しない外部の入力部から画像出力機器(図示せず)の種類を示す識別信号が通信ポート107を介してCPU108に入力され、CPU108は、この識別信号に基づきROM112の中から回路データを選択し、I/F部109を介して回路データを画像処理回路111に書き込む。以上のようにして、画像出力機器の種類に応じて動作モード(画像処理の種類)を切り替えることができる。

【0007】

【発明が解決しようとする課題】しかしながら、FPGAの書き込みは時間がかかるが、前述の画像処理装置110では、機器の種類が伝達されてからFPGAの書き込みを行っているので、何かの原因で種類の伝達が遅れた場合、例えば画像出力機器の電源投入が遅れた場合等は、操作者は、さらに長い時間待つことになるといった問題がある。

【0008】本発明は、上記事情に鑑みてなされたものであり、接続される画像出力機器に応じた動作モードの切り替えを、適切かつ迅速に行うことのできる画像処理装置を提供することを目的としている。

【0009】

【課題を解決するための手段】本発明の画像処理装置は、画像出力機器から入力された画像信号を処理する画像処理装置において、前記画像出力機器の種類に応じた動作モードを記憶するモード記憶手段と、前記モード記憶手段が記憶した前記動作モードの設定により前記画像信号を処理するモード処理手段と、前記画像出力機器の種類を判別する判別情報を入力する判別情報入力手段と、前記モード処理手段に設定された前記動作モードと前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新手段とを備えて構成される。

【0010】本発明の画像処理装置では、前記動作モード更新手段が前記モード処理手段に設定された前記動作モードと、前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新することで、接続される画像出力機器に応じた動作モードの切り替えを、適切かつ迅速に行うことを可能とする。

【0011】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について述べる。

【0012】図1ないし図11は本発明の一実施の形態に係わり、図1は画像処理装置及び画像出力機器の接続関係を示す図、図2は図1の画像処理装置の構成を示す構成図、図3は図2のSRAMのメモリマップを示す図、図4は図2のROMのメモリマップを示す図、図5は図2のCPUによる処理の流れを示すフローチャート、図6は図5のステップS3における接続機器の確認 10 処理を説明する説明図、図7は図5のステップS5におけるメッセージ表示の一例を示す図、図8は図5の処理により回路データが書き込まれて実現されるFPGAで構成された画像処理回路の一例を示す構成図、図9は図8の第1ブロック及び第2ブロックで発生する遅延を調整する第1のFIFO回路を説明する説明図、図10は図8の第1ブロック及び第2ブロックで発生する遅延を調整する第2のFIFO回路を説明する説明図、図11は図10のFIFO回路の各信号のタイミングを示すタイミングチャートである。

【0013】図1に示すように、本実施の形態の画像処理装置1では、画像出力機器2から出力された画像信号が画像伝送手段3を経て入力されると共に、画像出力機器2と画像処理装置1の間が通信手段4により接続され、画像出力機器2から画像処理装置1への片方向または、双方向の通信ができるようになっている。

【0014】画像処理装置1は、図2に示すように、画像出力機器2からの画像信号を画像伝送手段3を介して入力し強調等の画像処理を行うFPGA(Field Programmable Gate Array)で 30 構成された画像処理回路11と、画像出力機器2から画像出力機器2の種類を示す識別信号を入力する通信ポート12と、通信ポート12から入力された識別信号に基づきI/F部13を介して画像処理回路11への回路データの書き込み制御を行うCPU14と、画像処理回路11に書き込まれる複数の回路データ及びCPU14の制御プログラムを予め格納しているROM15と、CPU14の制御時に生成されたデータを格納するSRAM16と、SRAM16をバックアップするバッテリー17と、画像処理回路11により処理された画像データに文 40 字データ等を重畳させるディスプレイコントローラ18とを備えて構成される。

【0015】通信ポート12、I/F部13、CPU14、ROM15、SRAM16及びディスプレイコントローラ18はデータバスに19により接続され、CPU14により各回路が制御され、文字データ等を重畳した画像処理回路11により処理された画像データがモニタ等の出力機器20へ出力されるようになっている。

【0016】SRAM16には、図3に示すように、所定のアドレス位置に動作モードデータ領域21が設けら 50

れており、動作モードデータ領域21には、表1に示すように、接続機器に対応した動作モードデータが数値で格納されている。

【0017】

【表1】

接続機器の種類	動作モードデータ
Aタイプ	1
Bタイプ	2
Cタイプ	3
Dタイプ	4

また、ROM15には、CPU14の制御プログラムの他に、図4に示すように、所定のアドレス位置に、FPGAで構成された画像処理回路11への動作モードデータに応じた複数種類の回路データが、第1回路データ領域25、第2回路データ領域26及び第3回路データ領域27に格納されている。

【0018】次に、このように構成された本実施の形態の作用について説明する。

【0019】図5に示すように、電源投入後、CPU14は、基本的なハードウェアの初期化を行った後、ステップS1でSRAM16に保持されている動作モードデータを読み出す。つぎに、ステップS2で読み出した動作モードデータに対応した回路データをROM15から読み出し、FPGAで構成された画像処理回路11に対して読み出した回路データの書き込みを行う。なお、同時に、動作モードに応じたハードウェアの設定を行うこともできる。

【0020】そして、ステップS3で、実際に接続されている画像出力機器2の確認を行う。確認は、通信ポート12を介した通信手段4により行われ、例えば、RS-232Cが知られている。図6に、接続機器の確認の手順を示す。まず、画像処理装置1から画像出力機器2に、「機器タイプの問い合わせコマンド」31を送信する。それに応じて画像出力機器2から画像処理装置1へ、「機器タイプ通知」32を送信する。

【0021】なお、画像出力機器2から画像処理装置1へ、常に機器タイプを送信し、適宜、画像処理装置1が受信するようなことも可能である。この場合、通信手段4は片方向通信で済む。

【0022】次に、ステップS4において、前述のようにして得られた画像出力機器2に対応する動作モードデータと、SRAM16に保存された動作モードデータを比較する。両者が一致した場合は、画像出力機器2に応じた画像処理回路11が書き込まれているので、そのまま終了する。異なっていた場合は、ステップS5へ進む。

【0023】ステップS5では、実際に接続されている

画像出力機器 2 に対応する動作モードデータを、SRAM 16 に保存する。そして、ステップ S 6 では、図 7 に示すように、ディスプレイコントローラ 18 により画像処理回路 11 の処理画像 35 にメッセージ 36 を重畳し、画像処理回路 11 に正しい回路データが書き込まれなかったことを、操作者に知らせ、処理を終了する。

【0024】ここで、このメッセージ 36 に従って操作者が、画像出力機器 2 の電源を一旦切って、入れ直した場合を考える。

【0025】画像処理装置 1 は、再び図 5 のフローチャートの手順を実行する。ステップ S 1 からステップ S 3 は前述の立ち上げ時と同様である。ステップ S 4 においては、SRAM 16 に保存され動作モードデータと、実際に接続されている画像出力機器 2 に対応する動作モードデータは一致する。なぜなら、前回立ち上げ時に、ステップ S 5 で、実際に接続されている画像出力機器 2 に対応する動作モードを SRAM 16 に保存しているからである。

【0026】次に、CPU 14 の制御により回路データの書き込みが行われた FPGA で構成された画像処理回路 11 の動作について述べる。

【0027】図 8 に示すように、回路データにより作成された画像処理回路 11 は、例えば、入力された画像信号に対して異なる処理を行う第 1 ブロック 41 及び第 2 ブロック 42 と、第 1 ブロック 41 及び第 2 ブロック 42 により処理された画像を合成する合成ブロック 43 とから構成される。

【0028】そして、画像処理回路 11 では、入力された画像は、第 1 ブロック 41 及び第 2 ブロック 42 に入力され、それぞれ異なった処理が行われる。それぞれの出力は、合成ブロック 43 に入力され、1 つの画像に合成され出力される。

【0029】ここで、例えば第 1 ブロック 41 はフルカラー 24 ビットの処理結果を出力し、第 2 ブロック 42 は処理された画像を表示するか否かの 1 ビットの情報、いわゆるマスク情報を出力する。

【0030】このとき、第 1 ブロック 41 と第 2 ブロック 42 で遅延に差があると、画像の位置のずれを生じる。よって、どちらか一方または両方の遅延を調整する必要がある。そこで、遅延の調整には、FIFO (First In First Out = 先入れ先出し) メモリが用いられる。

【0031】FIFO メモリは、任意に遅延をさせることができるが、画像の大きさの最大値は容量の範囲内に限られる。仮に、640 ドット × 480 ラインの画像の遅延を行う場合は、640 × 480 = 307,200 ドットの容量が必要である。メモリの容量がこれより小さい場合は、複数個用い、容量を拡張する。

【0032】メモリの容量がこれよりも小さい場合は、メモリを複数個用い、容量を拡張することになるが、例

えば図 9 に示すような FIFO 回路 50 において、入力及び出力が共に並列に接続してある 2 つの、例えば容量が 262,144 ドット (< 307,200 ドット) の FIFO メモリ 51、52 を用い、この 2 つの FIFO メモリ 51、52 に 1 ドットずつ交互にデータを入力し、また出力も交互に行うことで容量を拡張する。

【0033】ところで、FIFO メモリは入出力のデータ幅を持っており、広く流通しているのは 8 ビット幅のものである。しかし、実際のアプリケーションでは上記の画像のマスク信号のように、1 ビットの情報で充分なものもある。このような時に、図 9 に示した 8 ビット幅の FIFO メモリを使って、1 ビット幅のデータの遅延を行った場合、FIFO メモリの 7 ビット分は常に使用されず無駄となる。

【0034】そこで、このようなときに、FIFO メモリを複数個用いずに、容量を拡張する方法について述べる。

【0035】図 10 に示すように、容量拡張を実現した 1 ビット幅の FIFO 回路 60 は、シフトレジスタ 61、FIFO メモリ 62 及びセクタ 63 とから構成され、図 11 のタイミングチャートを参照して、Din より入力された信号は、シフトレジスタ 61 に送られ、画素クロック $\phi 1$ に同期してこのシフトレジスタ 61 で 1 ビットから 2 ビットに変換され、FIFO メモリ 62 へ入力される。

【0036】FIFO メモリ 63 には、画素クロック $\phi 1$ の 2 分周のクロック $\phi 2$ が供給されており、クロック $\phi 2$ の立ち上がりエッジのタイミングでシフトレジスタ 61 からのデータが FIFO メモリ 62 に取り込まれる。FIFO メモリ 62 の遅延量はライトリセット及びリードリセットの両者のパルスの時間差で決定され、シフトレジスタ 61 に入力されたデータは一定の遅延時間後、FIFO メモリ 62 の入力 D1、D2 に出力される。

【0037】FIFO メモリ 62 の出力 Q1、Q2 は、セクタ 63 で、2 ビットから再び 1 ビットに戻され、セクタ 63 から出力される。なお、セクタ 63 は、シフトレジスタで構成してもよい。

【0038】このように本実施の形態の画像処理装置 1 では、SRAM 16 に予め格納されている回路データを画像処理回路 11 を構成する FPGA に書き込んだ後に、接続先の画像出力機器 2 を行うので、画像出力機器 2 の確認を待たずに、画像処理装置 1 を立ち上げることができる。すなわち、例えば、接続先の画像出力機器 2 の電源投入が遅れた場合でも、画像処理装置 1 を先に立ち上げることができ、この後に接続先の画像出力機器 2 を行うので、操作者は長い時間待たなくて済む。

【0039】また、画像処理回路 11 を構成する FPGA に書き込んだ回路データの種類と画像出力機器 2 との種類が異なる場合には、接続先の画像出力機器 2 に対応した回路データを ROM 15 から読み出し SRAM 16

に格納すると共に、メッセージにより接続先の画像出力機器 2 の再立ち上げを指示するので、操作者はこのメッセージに従って画像出力機器 2 を再立ち上げすることで、確実にかつ容易に画像処理装置 1 を立ち上げることができる。

【0040】【付記】

(付記項 1) 画像出力機器から入力された画像信号を処理する画像処理装置において、前記画像出力機器の種類に応じた動作モードを記憶するモード記憶手段と、前記モード記憶手段が記憶した前記動作モードの設定により、前記画像信号を処理するモード処理手段と、前記画像出力機器の種類を判別する判別情報を入力する判別情報入力手段と、前記モード処理手段に設定された前記動作モードと、前記判別情報入力手段が入力した前記判別情報によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新手段とを備えたことを特徴とする画像処理装置。

【0041】(付記項 2) 前記モード処理手段は、FPGA (Field Programmable Gate Array) であることを特徴とする付記項 1 に記載の画像処理装置。

【0042】(付記項 3) 画像出力機器から入力された画像信号を処理する画像処理方法において、モード記憶手段に記憶されている前記画像信号を処理するための前記画像出力機器の種類に応じた動作モードを設定するモード設定工程と、前記画像出力機器の種類を判別する機器判別工程と、前記モード処理工程で設定された前記動作モードと、前記機器判別工程によって判別した前記画像出力機器の種類に応じた前記動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新する動作モード更新工程とを備えたことを特徴とする画像処理方法。

【0043】

【発明の効果】以上説明したように本発明の画像処理装置によれば、動作モード更新手段がモード処理手段に設定された動作モードと、判別情報入力手段が入力した判別情報によって判別した画像出力機器の種類に応じた動作モードとを比較し、比較結果に基づき前記モード記憶手段に記憶されている前記動作モードを更新するので、接続される画像出力機器に応じた動作モードの切り替え

を、適切かつ迅速に行うことができるという効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る画像処理装置及び画像出力機器の接続関係を示す図

【図 2】図 1 の画像処理装置の構成を示す構成図

【図 3】図 2 の SRAM のメモリマップを示す図

【図 4】図 2 の ROM のメモリマップを示す図

【図 5】図 2 の CPU による処理の流れを示すフローチャート

【図 6】図 5 のステップ S 3 における接続機器の確認処理を説明する説明図

【図 7】図 5 のステップ S 5 におけるメッセージ表示の一例を示す図

【図 8】図 5 の処理により回路データが書き込まれて実現される FPGA で構成された画像処理回路の一例を示す構成図

【図 9】図 8 の第 1 ブロック及び第 2 ブロックで発生する遅延を調整する第 1 の FIFO 回路を説明する説明図

【図 10】図 8 の第 1 ブロック及び第 2 ブロックで発生する遅延を調整する第 2 の FIFO 回路を説明する説明図

【図 11】図 10 の FIFO 回路の各信号のタイミングを示すタイミングチャート

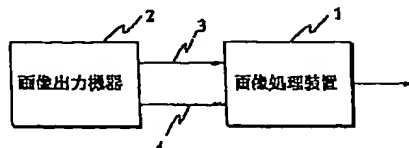
【図 12】従来の画像処理装置の第 1 の構成例を示す構成図

【図 13】従来の画像処理装置の第 2 の構成例を示す構成図

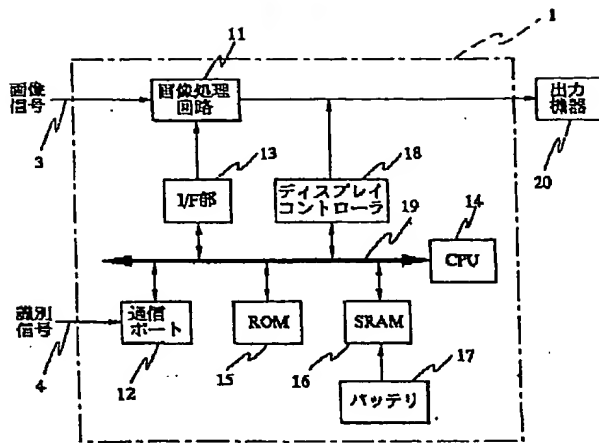
【符号の説明】

- 1 … 画像処理装置
- 2 … 画像出力機器
- 11 … 画像処理回路
- 12 … 通信ポート
- 13 … I/F 部
- 14 … CPU
- 15 … ROM
- 16 … SRAM
- 17 … バッテリ
- 18 … ディスプレイコントローラ
- 19 … データバス
- 20 … 出力機器

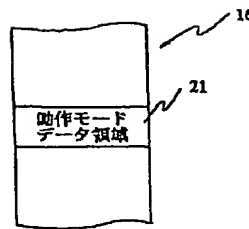
【図 1】



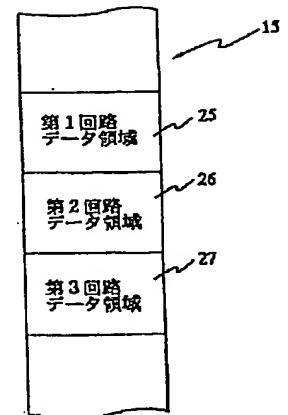
【図2】



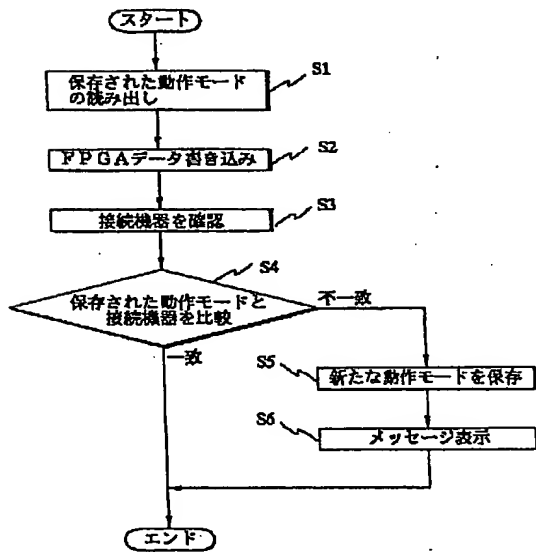
【図3】



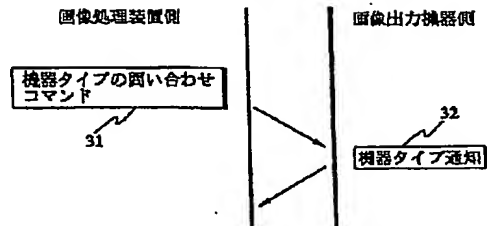
【図4】



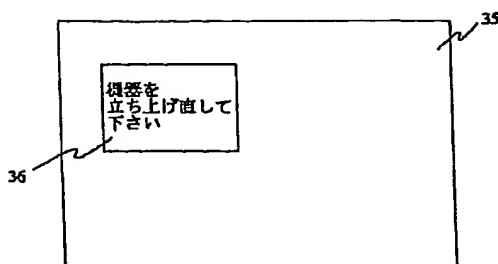
【図5】



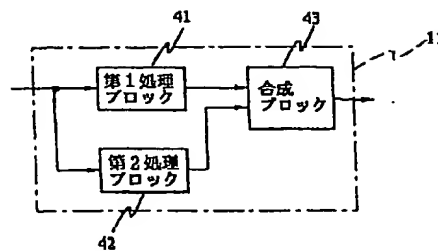
【図6】



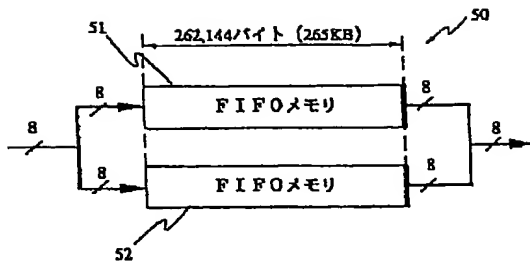
【図7】



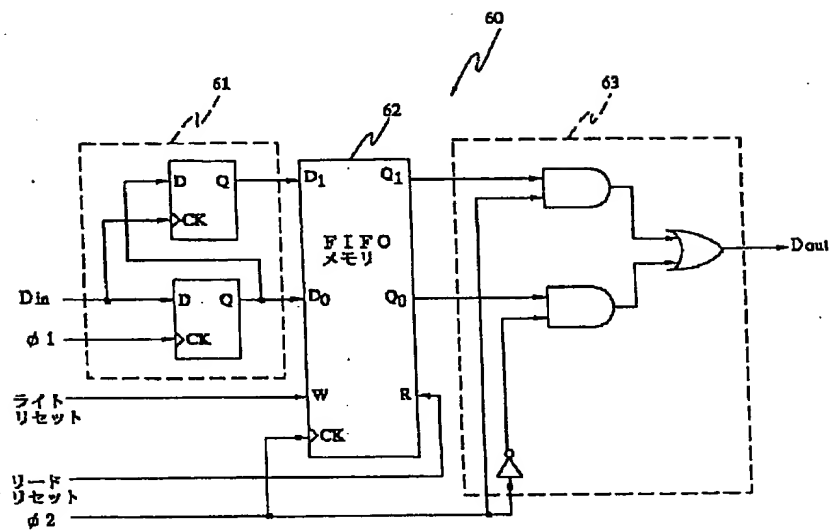
【図8】



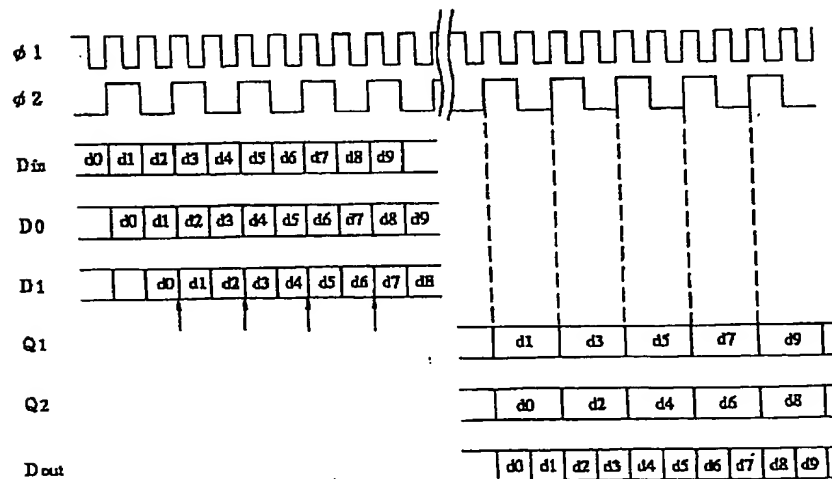
【図9】



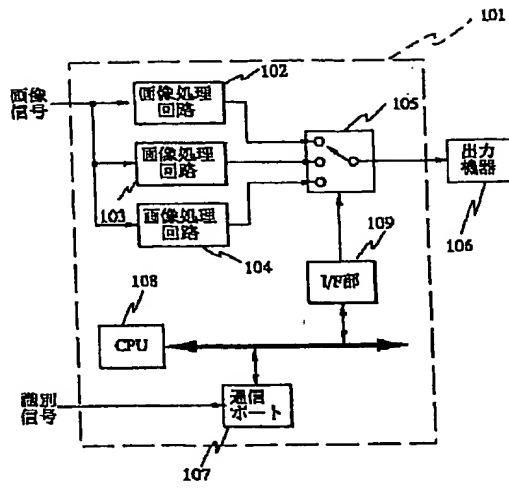
【図10】



【図11】



【図12】



【図13】

